

MANUFACTURE OF SOI SUBSTRATE

Patent Number: JP4003910
Publication date: 1992-01-08
Inventor(s): GOTO HIROSHI
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP4003910
Application Number: JP19900106057 19900420
Priority Number(s):
IPC Classification: H01L21/02
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain an SOI substrate comprising a single-crystal layer whose thickness is uniform over the whole wafer by a method wherein the front side of a first substrate where an opposite conductive type region has been formed is opposed to a second substrate and is bonded to that while interposing an insulating film between them, and then their backsides are polished while detecting an appearance of the opposite conductive type region in plural defined regions on the backside of the first substrate.

CONSTITUTION:A P-type silicon wafer 6 is subjected to a thermal oxidation for forming an SiO₂ film which is then subjected to a patterning so as to form a lattice-form resist mask layer 7. After that, phosphorus as an N-type impurity is ion-implanted into a surface of the silicon wafer 6 appearing from the layer 7. As a result, an island-form N-type region 6A is formed on the surface. Next, the resist mask layer 7 is removed, after which the silicon wafer 6 is subjected to a thermal oxidation so as to form an SiO film 6B. Another silicon wafer 8 of the same size is formed on the surface where the region 6A has been formed and these are bonded. Then the silicon wafer 6 is polished from its backside in order to be a thin layer. By use of a rotary buff 9, the wafer is partly polished. This polishing is continued until the N-type region 6A appears over the whole surface of the silicon wafer 6.

Data supplied from the esp@cenet database - I2

AL

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-3910

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月8日

H 01 L 21/02

B

2104-4M

審査請求 未請求 請求項の数 7 (全8頁)

⑭ 発明の名称 SOI 基板の製造方法

⑯ 特 願 平2-106057

⑰ 出 願 平2(1990)4月20日

⑱ 発 明 者 後 藤 寛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 析 貞一

明 細 書

1 発明の名称

SOI 基板の製造方法

2 特許請求の範囲

(1)一導電型の第1の半導体基板の表面に該表面から所定深さの底面を有する単一または複数の反対導電型の領域を形成する工程と、

該反対導電型領域が形成された該第1の半導体基板表面または別の第2の半導体基板の表面の少なくとも一方に絶縁膜を形成する工程と、

該反対導電型領域が形成された表面が該第2の基板と対向し且つ該絶縁膜が相互間に介在するように配置して該第1の半導体基板と第2の半導体基板とを接着する工程と、

該第2の半導体基板に接着された該第1の半導体基板の裏面に画定された複数の領域に該反対導電型領域が表出したことを検出しながら該裏面を研磨する工程

とを含むことを特徴とするSOI 基板の製造方法。

(2)該絶縁膜上に導電膜と第2の絶縁膜とを形成したのち該第1の半導体基板と第2の半導体基板とを接着することを特徴とする請求項1記載のSOI 基板の製造方法。

(3)該第1および第2の半導体基板の双方の基板表面に該絶縁膜を形成し且つ一方の該半導体基板における該絶縁膜上に導電膜を形成したのち該第1の半導体基板と第2の半導体基板とを接着することを特徴とする請求項1記載のSOI 基板の製造方法。

(4)該反対導電型領域が表出したときに該第1の半導体基板と該反対導電型領域との間に流れる電流の整流作用を検出することによって研磨の終点を決定することを特徴とする請求項1または2または3記載のSOI 基板の製造方法。

(5)該1の半導体基板表面に光を照射しておき且つ該反対導電型領域が表出したときに該第1の半導体基板と該反対導電型領域との間のPN接合に発生する光起電力を検出することによって研磨の終点を決定することを特徴とする請求項1または2

または3記載のSOI基板の製造方法。

(6)互いに近接して設けられた少なくとも二つの導電性刷子を有する研磨パフを該導電性刷子が該第1の半導体基板の裏面に接触するようにして研磨することを特徴とする請求項4または5記載のSOI基板の製造方法。

(7)前記研磨を行ったのち熱処理を施して該第1の半導体基板における一導電型不純物と該反対導電型領域における不純物の一方を他方によって補償することを特徴とする請求項1または2または3記載のSOI基板の製造方法。

3 発明の詳細な説明

〔概要〕

二枚の半導体基板を張り合わせて成るSOI基板の製造方法に関し、

研磨後の厚さが均一な単結晶層を有するSOI基板を提供可能とすることを目的とし、

一導電型の第1の半導体基板の表面に該表面から所定深さの底面を有する単一または複数の反対

導電型の領域を形成し、該反対導電型領域が形成された該第1の半導体基板表面または別の第2の半導体基板の表面の少なくとも一方に絶縁膜を形成し、該反対導電型領域が形成された表面が該第2の基板と対向し且つ該絶縁膜が相互間に介在するように配置して該第1の半導体基板と第2の半導体基板とを接着し、該第2の半導体基板に接着された該第1の半導体基板の裏面に画定された複数の領域に該反対導電型領域が表出したことを検出しながら該裏面を研磨する諸工程を基本要素として含むように構成する。

〔産業上の利用分野〕

本発明は、二枚の半導体基板を張り合わせて成るSOI(Semiconductor on Insulator)基板の製造方法に関する。

〔従来の技術〕

高速度・高耐圧トランジスタに好適なSOI構造の実用化を促進するものとして、二枚のシリコン

ウエハをSiO₂膜を介して張り合わせ、一方のシリコンウエハを研磨により1μmないしそれ以下の厚さに薄層化して成るSOI基板の製造方法が提案されている。その概要を第8図を参照して説明する。

同図(a)に示すように、例えばp型のシリコンウエハ1Aおよび1Bを用意し、その一方(例えば1A)を熱酸化して表面に厚さ約1μmのSiO₂膜1Cを形成したのち、同図(b)に示すように、シリコンウエハ1Aおよび1Bを重ね合わせ、1100℃程度の温度で熱処理する。これにより、シリコンウエハ1Aおよび1Bは接着される。

次いで、例えばシリコンウエハ1Aをバフ研磨し、同図(c)に示すように、厚さ約1μm程度まで薄くする。さらに、研磨されたシリコンウエハ1A表面から0.7μm程度の深さまで熱酸化したのち、表面の酸化膜をエッチング除去する。その結果、シリコンウエハ1B表面上には、同図(d)に示すように、SiO₂膜1Cを介して接着された厚さ約0.3μmのシリコン層1Dが形成される。このシリコン層1Dがト

ランジスタ等を形成するための能動層として用いられる。

〔発明が解決しようとする課題〕

第8図に示すSOI基板では、例えばシリコンウエハ1Aをバフ研磨する際に、0.5μm程度の厚さの不均一が生じてしまうため、1μmないしそれ以下の均一な厚さのシリコン層1Dを有するSOI基板を製造することが困難であった。とくに、10mm×10mm程度以上の面積を有する集積回路を形成するために必要な厚さ0.2μm程度の所望の有効領域を有するSOI基板を製造することは実質的に不可能であった。

これに対して、上記バフ研磨におけるストップとなる層をあらかじめ設けておくことにより、シリコン層の厚さを精確に制御する方法が提案されている。(Extended Abstracts of the 21st Conference on Solid State Devices and Materials, Tokyo, 1989, pp.89-92)

この方法は、第9図(a)に示すように、シリコン

ウエハ2の表面に高さ約 $0.1\mu\text{m}$ を有する複数のメサ領域2Aを形成したのち、表面を酸化して厚さ約 $1\mu\text{m}$ の SiO_2 膜2Bを形成し、 SiO_2 膜2B上にポリシリコン層3を堆積する。

次いで、同図(b)に示すようにポリシリコン層3表面を平滑研磨したのち、同図(c)に示すようにポリシリコン層3を別のシリコンウエハ4と接着する。そして、同図(d)に示すようにシリコンウエハ2を研磨して薄層化し、さらに、 SiO_2 膜2Bが表出するまで研磨を進める。その結果、同図(e)に示すように、前記メサ領域2Aは SiO_2 膜2Bに埋め込まれた島状となる。

上記のシリコンウエハ2の研磨において、シリコンに比べて研磨速度の低い SiO_2 膜2Bがストップとして作用し、シリコンウエハ2全面に厚さが均一な島状のメサ領域2Aが形成される。しかしながら、上記の方法によれば、メサ領域2Aの面積が限定され、シリコンウエハ2の面積に等しい単一の領域を得ることができない。

本発明は上記従来の問題点を解決し、ウエハ全

面に均一な厚さの単結晶層を有するSOI基板を提供可能とすることを目的とする。

(課題を解決するための手段)

上記目的は、一導電型の第1の半導体基板の表面に該表面から所定深さの底面を有する単一または複数の反対導電型の領域を形成する工程と、該反対導電型領域が形成された該第1の半導体基板表面または別の第2の半導体基板の表面の少なくとも一方に絶縁膜を形成する工程と、該反対導電型領域が形成された表面が該第2の基板と対向し且つ該絶縁膜が相互間に介在するように配置して該第1の半導体基板と第2の半導体基板とを接着する工程と、該第2の半導体基板に接着された該第1の半導体基板の裏面に画定された複数の領域に該反対導電型領域が表出したことを検出しながら該裏面を研磨する工程とを含むことを特徴とする本発明に係るSOI基板の製造方法によって達成される。

(作用)

シリコンウエハ等の半導体基板に均一な深さの不純物領域を形成する技術が確立されている。これを利用して、SOI基板における所望の単結晶層の厚さに等しい深さの不純物領域を半導体基板表面に形成しておき、この表面を、最終的なSOI基板における補強体となる別の半導体基板と接着し、第1の半導体基板を裏面から研磨して薄層化する。

上記研磨により、前記不純物領域が表出ないし表出する直前になると、基板と不純物領域との間でPN接合に関係する整流作用や光起電力を検出することができるようになる。そこで、半導体基板の裏面を複数の領域に区画し、各々の領域を、上記の現象が検出されるまで研磨し、裏面全体に上記現象が検出されたときに研磨を終了する。

上記のようにして、SOI基板全面に均一な厚さの単結晶層を形成する。層厚精度は、当初の不純物領域の深さの分布精度によって実質的に決まる。

(実施例)

以下本発明の実施例を図面を参照して説明する。

第1図は本発明の実施例の工程説明図であって、同図(a)に示すように、例えば直径6インチの一面が鏡面研磨された比抵抗 $10\Omega\text{cm}$ のp型シリコンウエハ6を 1000°C の乾燥酸素雰囲気中で熱酸化して、表面に厚さ 200\AA 程度の SiO_2 膜(図示省略)を形成する。

次いで、前記鏡面研磨された表面にフォトリソを塗布し、これを周知のリソグラフ技術によりパターンニングして、同図(b)に示すように、例えば幅 $20\mu\text{m}$ 、ピッチ $40\mu\text{m}$ の格子状のレジストマスク層7を形成する。レジストマスク層7は紙面に平行な方向にも形成されている。したがって、格子状のレジストマスク層7によって囲まれた領域にシリコンウエハ6表面が表出している。

次いで、レジストマスク層7から表出するシリコンウエハ6表面に、n型の不純物として磷(P)をイオン注入する。この条件は、例えば加速エネルギーを 50KeV 、ドーズ量を $1\times 10^{13}\text{cm}^{-2}$ とする。その結果、シリコンウエハ6表面に島状のn型領

域6Aが形成される。上記イオン注入条件により、n型領域6Aの深さは約 $0.2\mu\text{m}$ となる。

次いで、レジストマスク層7を除去したのち、シリコンウエハ6を 1000°C の湿った酸素雰囲気中で熱酸化し、同図(c)に示すように、厚さ約 $1\mu\text{m}$ の SiO_2 膜6Bを形成する。シリコンウエハ6を、同図(d)に示すように、別の同寸法のシリコンウエハ8と、前記n型領域6Aが形成された表面がシリコンウエハ8と対向するようにして重ね合わせて接着する。この接着は、重ね合わされた両シリコンウエハ6および8を加熱するか、シリコンウエハ6と8との間に 100V 程度の電圧を印加する周知の方法を用いればよい。

なお、シリコンウエハ6に SiO_2 膜6Bを形成する代わりに、シリコンウエハ8に SiO_2 膜を形成するか、あるいは、シリコンウエハ6および8の双方に SiO_2 膜を形成しても差支えない。また、熱酸化による SiO_2 膜の代わりに Si_3N_4 膜を形成するか、あるいは、 SiO_2 膜と Si_3N_4 膜の多層構造としてもよい。さらに、シリコンウエハ6または8のいず

れか一方の SiO_2 膜6B上に、例えばポリシリコンから成る導電膜と第2の SiO_2 膜を積層するか、シリコンウエハ6および8の双方に SiO_2 膜6Bを形成したのち、いずれか一方のシリコンウエハの SiO_2 膜6B上に、例えばポリシリコンから成る導電膜を形成してもよい。

次いで、同図(d)に示すように、当初約 $600\mu\text{m}$ の厚さを有するシリコンウエハ6を裏面から研磨し、厚さ $2\mu\text{m}$ 程度まで薄層化する。この研磨は、 2000 番程度の砥粒を用いる通常の裏面研磨条件に従って行えばよい。

次いで、同図(f)に示すように、直径 20mm 程度の回転バフ9を用いて、シリコンウエハ6の裏面を部分的に研磨する。この研磨は、例えば粒径が 50nm 程度の砥粒を用い比較的緩やかに、かつ、シリコンウエハ6の全面にn型領域6Aが表出するまで行う。

第2図は回転バフ9と、その回転および支持機構の説明図であり、同図(a)は全体の側面を、また、同図(b)は回転バフ9の下面を示す。回転バフ9は

モータ11によって回転される。モータ11は、アーム12によって支持された軸受け13に固定されている。アーム12は、図示しない駆動機構により、紙面に垂直な面内をX-Y方向に移動される。これにより、回転バフ9が前記シリコンウエハ6面上を移動しながら研磨可能のようにされている。

回転バフ9の面には、例えば炭素繊維から成る導電ブラシ14が、その先端が前記シリコンウエハ6に接触可能のようにして埋め込まれている。導電ブラシ14は回転バフ9の回転軸15の表面に固定されている回転接触子16に接続されており、さらに、回転接触子16に摺動接触する固定接触子17を通じて、後述する制御系に接続されている。

第2図のようにして回転・支持された回転バフ9を、第3図に示すように、シリコンウエハ6の裏面に接触させながら、X-Y方向に移動する。シリコンウエハ6の裏面には、同じく炭素繊維等からなる別の接触子18が接触している。接触子18と回転バフ9に設けられている前記導電ブラシ14との間に電圧を印加して、このときに流れる電流変化

を検出するか、または、これらの間の電圧変化を検出しながら、シリコンウエハ6を研磨する。

接触子18と導電ブラシ14は、最初は共にp型のシリコンウエハ6に接触しているために、これらの間にはシリコンウエハ6の抵抗に応じた電流が流れる。研磨が進み、前記n型領域6Aが表出し、導電ブラシ14がn型領域6Bに接触すると、n型領域6Aとp型のシリコンウエハ6との間のPN接合による整流作用によって、電流がほとんど流れなくなる。この電流変化を制御装置20により検出し、n型領域6Aが表出したことが検出された領域の研磨を停止し、未だn型領域6Aの表出しない領域の研磨を続ける。このようにして、シリコンウエハ6の裏面全体におけるn型領域6Aの表出が検出されたときに、研磨を終了する。

制御系20は、増幅回路21と制御回路22とを有し、増幅回路21は上記電流変化分を増幅した検出信号を送出し、制御回路22はこの検出信号が入力したときの回転バフ9のX-Y座標情報を記憶するとともに、前記検出信号にもとづいて、回転バフ9の

位置を移動するためのX-Y 駆動信号またはモータ11の回転速度を変化するためのモータ回転制御信号を送出する。

すなわち、例えば、シリコンウエハ6の裏面にn型領域6Aが表出するまでは、回転バフ9はシリコンウエハ6の裏面を均等に研磨するようにX-Y移動される。シリコンウエハ6の裏面の一部にn型領域6Aが表出したとき、制御回路22はこの部分を避けるように回転バフ9を移動させるか、あるいは、この部分が検出されたときにモータ11の回転数を減少するように作動するわけである。

上記実施例におけるようにシリコンウエハ6の裏面にn型領域6Aが表出したときの整流作用を検出する代わりに、第4図に示すように、ランプ30の光をシリコンウエハ6面に照射しておき、表出する直前のn型領域6Aとp型シリコンウエハ6とのPN接合における光起電力を検出することにより、回転バフ9のX-Y移動制御またはモータ11の回転数制御を行ってもよい。

第5図は回転バフ9の変形例を示す。すなわち、

領域6Aを形成し、これをSiO₂膜6Bを介して別のシリコンウエハ8と接着した場合である。前記接触子18はシリコンウエハ6の周縁領域に接触させておく。回転バフ9によりシリコンウエハ6の裏面を研磨し、n型領域6Aが表出すると、前記と同様にn型領域6Aとp型シリコンウエハ6とのPN接合の整流作用による電流変化が検出される。また、シリコンウエハ6裏面に光照射しておくと、n型領域6Aが表出する直前に光起電力が検出される。本実施例によれば、後熱処理を行わなくても、中央領域が単一の導電型のSOI基板が得られる。

第7図は本発明のさらに他の実施例を示し、SiO₂膜6Bを介して二つのシリコンウエハ6および8を接着する。シリコンウエハ6は例えばp型である。従来の裏面研磨と同様にしてシリコンウエハ6を2μm程度に薄層化したのち、シリコンウエハ6の裏面全体にn型不純物をイオン注入して、SiO₂膜6Bとの界面近傍に約0.2μmのn型領域6Aを形成する。そして、回転バフ9により、シリコンウエハ6の裏面を研磨する。接触子18をシリコ

ンウエハ6の周縁領域6Cに接触させておく。回転バフ9の研磨は周縁領域6Cを除いて行う。n型領域6Aの表出または表出直前における前記と同様の整流作用または光起電力による電流変化または電圧変化を検出する。本実施例によれば、n型領域6Aを形成するためのレジストマスクの形成工程が省略できる利点がある。

なお、上記実施例においては、p型シリコンウエハ6にn型領域6Aを形成する場合を例に説明したが、本発明はn型シリコンウエハにp型領域を形成した場合にも適用できることは言うまでもない。また、シリコンウエハ6と8とが同一導電型である場合には、SiO₂膜6Bを介さずに両ウエハを接着した場合にも適用できる。また、両ウエハの一方または双方がシリコン以外の半導体基板である場合にも適用可能である。さらに、制御系20に入力する信号が連続信号または間歇信号のいずれの場合にも適用できる。

(発明の効果)

本発明によれば、全面が単一かつ $1\mu\text{m}$ ないしそれ以下の厚さを有する均一な単結晶層から成るSOI基板を製造可能とし、SOI構造の利点を生かした高速度・高耐圧のトランジスタから成る大規模集積回路の実現を促進する効果がある。

6Cは周縁領域である。

代理人 弁理士 井桁 貞一



4 図面の簡単な説明

第1図ないし第7図は本発明の実施例説明図、

第8図と第9図は従来の問題点説明図

である。

図において、

1Aと1Bと2と4と6と8はシリコンウエハ、

1Cと2Bと6Bは SiO_2 膜、 1Dはシリコン層、

2Aはメサ領域、 3はポリシリコン層、

7はレジストマスク層、 9は回転バフ、

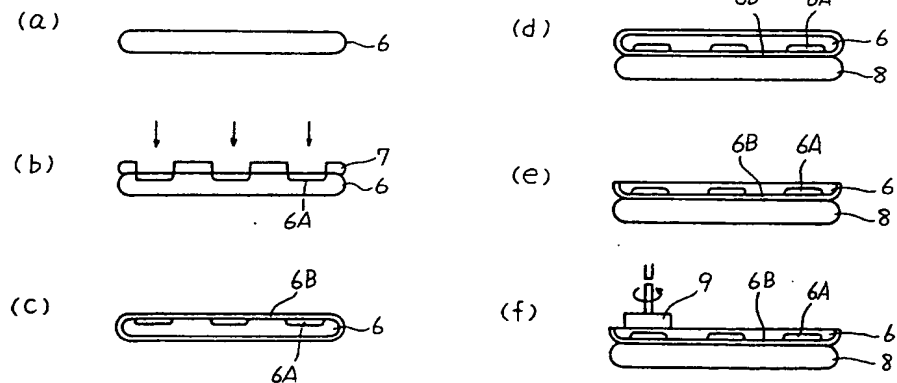
11はモータ、 12はアーム、 13は軸受け、

14と14aと14bは導電ブラシ、 15は回転軸、

16は回転接触子、 17は固定接触子、

18は接触子、 20は制御系、 21は増幅回路、

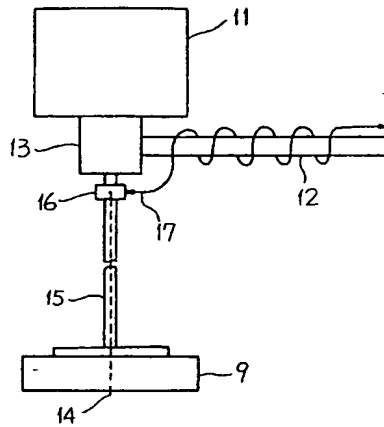
22は制御回路、 30はランプ、 6Aはn型領域、



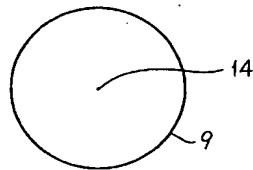
本発明の実施例説明図(その1)

第1図

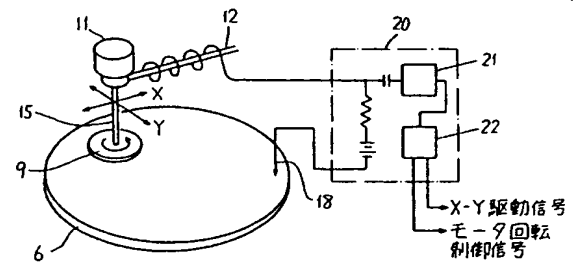
(a)



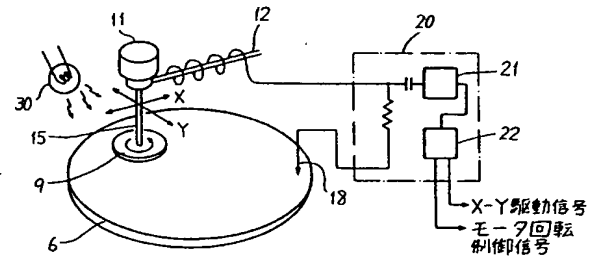
(b)



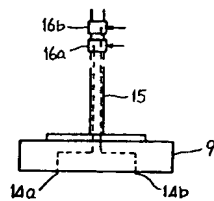
本発明の実施例説明図(その2)
第2図



本発明の実施例説明図(その3)
第3図



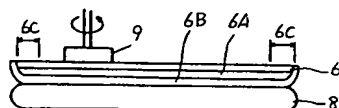
本発明の実施例説明図(その4)
第4図



本発明の実施例説明図(その5)
第5図

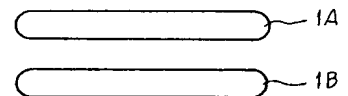


本発明の実施例説明図(その6)
第6図

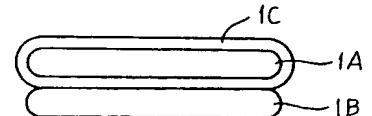


本発明の実施例説明図(その7)
第7図

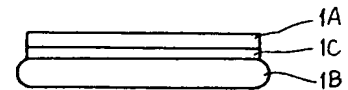
(a)



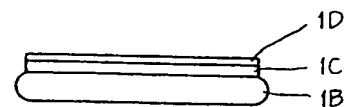
(b)



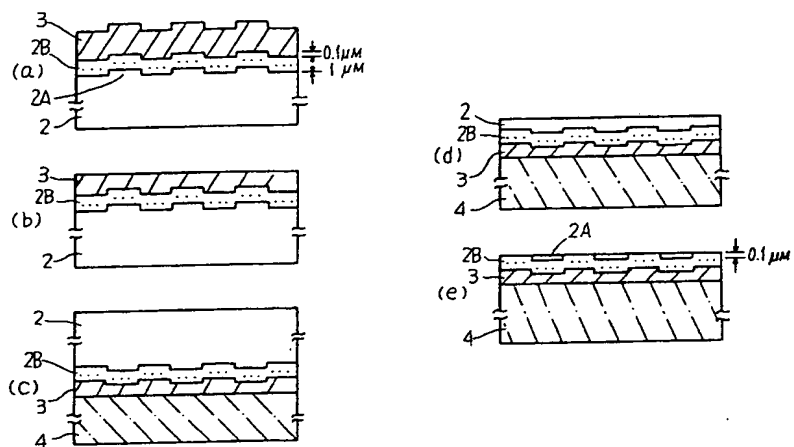
(C)



(d)



従来の問題点説明図(その1)
第8図



従来の問題点説明図(その2)

第9図